

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-132357

(43)Date of publication of application : 16.08.1982

(51)Int.Cl. H01L 29/72  
H01L 29/80

(21)Application number : 56-017478 (71)Applicant : OKI ELECTRIC IND CO LTD

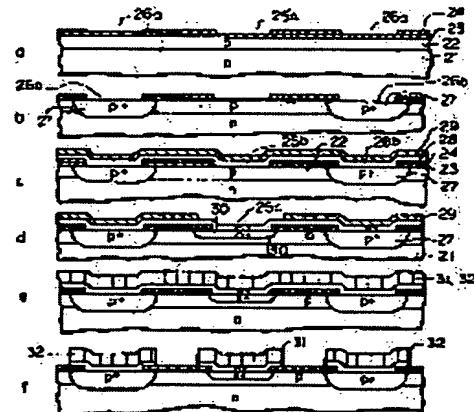
(22)Date of filing : 10.02.1981 (72)Inventor : SANO YOSHIAKI  
NONAKA TOSHIO

## (54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

### (57)Abstract:

**PURPOSE:** To prevent the deterioration of withstand voltage due to the slip of a mask for the subject semiconductor element by a method wherein a polysilicon layer is formed on the semiconductor substrate on which an insulating film with two windows was formed and polysilicon electrodes are formed by ion implantation and diffusion.

**CONSTITUTION:** An N type silicon oxide film 23 and a silicon nitride film 24 are formed on the N type silicon substrate 21 whereon a P type base region 22 was formed, and two windows 25a and 26a are provided on the silicon nitride film 24. Then, a window 26a is opened on the silicon oxide film 23, and a side base region 27 is formed by performing boron diffusion. After a window 25b has been opened on the silicon oxide film 23, a non-doped polysilicon layer 28 and a silicon nitride film 29 are formed. A window 25c is opened on the film 29, and N type impurities are injected in the polysilicon layer 28 using the film 29 as a mask. A heat treatment is performed and an emitter region 30 is formed by diffusing N type impurities, and at the same time, boron is diffused on the polysilicon layer 28 on the region 27 using the side base region 27 as a source of diffusion.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開  
⑯ 公開特許公報 (A) 昭57-132357

⑤Int. Cl.<sup>3</sup>  
H 01 L 29/72  
29/80

識別記号

厅内整理番号  
7514-5F  
7925-5F

⑬公開 昭和57年(1982)8月16日  
発明の数 1  
審査請求 未請求

(全 4 頁)

④半導体素子の製造方法

②特 願 昭56-17478

②出 願 昭56(1981)2月10日

②発明者 佐野芳明

東京都港区虎ノ門1丁目7番12  
号沖電気工業株式会社内

⑦発明者 野中敏夫

東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内

⑦出願人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12  
号

⑦代理人 弁理士 鈴木敏明

明細書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

第1伝導形の表面層(22, 27)を有する半導体基体(21)上に、第1窓(25b)及び第2窓(26b)を有する第1絶縁膜(23, 24)が形成されたものを用意する段階と、その後全面にノンドープのポリシリコン層(28)を形成し、更に、その上にイオン注入マスク材質の第2絶縁膜(29)を形成する段階と、この第2絶縁膜(29)の第2窓相当部に窓(25c)を開けた後、この第2絶縁膜(29)をマスクとして第2伝導形不純物を前記ポリシリコン層(28)へイオン注入する段階と、このポリシリコン層(28)の前記第2伝導形不純物を熱拡散して前記第1伝導形表面層内に第2伝導形領域(30)を形成させ、同時に前記第1伝導形表面層(27)の第1伝導形不純物を前記ポリシリコン層(28)へ熱拡散させる熱処理段階と、を備えていることを特

徴とした半導体素子の製造方法。

3. 発明の詳細な説明

本発明は、半導体素子の製造方法に関し、特にマイクロ波バイポーラトランジスタや接合電界効果トランジスタに適用して有用な製造方法に関する。

この種の製造方法においては、マスクパターンは一般に微細であり、マスク合わせの時のマスクずれによって素子の特性及び信頼性に大きな影響を及ぼし、そこでマスク合わせによって特性が左右されない製造方法が必要とされている。

従来のトランジスタの製造方法を第1図によって説明する。まず、コレクタ領域であるシリコンウエハ11上のメインベース領域12とシリコン酸化膜13とを形成後、サイドベース拡散の窓14を開ける(第1図a)。次に、ポロンを拡散してサイドベース領域15を形成してからエミッタ拡散の窓16を開ける(第1図b)。続いてリンあるいは砒素を拡散してエミッタ領域17を形成した後に、サイドベース領域15上及びエミッタ領

域 17 上にコンタクトの窓 18 をあける (第 1 図 a)。最後に、メタルのリフトオフを行ってエミッタ電極 19 a 及びベース電極 19 b を形成する (第 1 図 d)。

このように従来の製造方法では、エミッタ領域 17 とサイドベース領域 15 との配置がマスク合わせの精度によって決定され、マスクずれによるエミッタベース間のキャパシタンスの増大、逆方向耐圧の減少という欠点があった。又、コンタクト窓あけのマスクずれによって耐圧の劣化や歩留りの減少になる。又、電極金属 19 a, 19 b が接合に近く被着されるため、金属マイクレーションによって接合が汚染され、耐圧の劣化や歩留りが減少する危険があった。

本発明の目的は、これらの欠点を除去することにあり、電極としてポリシリコンを介在させたものであって、まず第 1 伝導形の表面層を有する半導体基体の表面に第 1 窓と第 2 窓とを有する第 1 絶縁膜が形成されたものを用意し、その全面にノンドープのポリシリコン層を形成し、次いで比較

をあけ、更にポロンを拡散して、メインベース領域 12 と同一伝導形で高濃度のサイドベース領域 27 を形成する (第 2 図 b)。この段階では正確なマスク合わせは必要ない。

次に、シリコン塗化膜 24 をマスクとしてシリコン酸化膜 23 をエッティングしてエミッタ拡散の窓 25 b をあけてから、全面に CVD 法によってノンドープのポリシリコン層 28 及びシリコン塗化膜 29 を連続的に形成する (第 2 図 c)。

次に、ホトリソによってシリコン塗化膜 29 にエミッタ拡散の窓 25 b をカバーする窓 25 c を開け、シリコン塗化膜 29 をマスクとしてポリシリコン 28 に砒素 (あるいはリン等) の n 形不純物のイオン注入を行う。次に熱処理を行って、イオン注入されたポリシリコン 28 を拡散源としてシリコンウエハ 21 に n 形不純物を拡散してエミッタ領域 30 を形成する。又、同時に、この熱処理において、シリコン塗化膜 29 をウエハ外部への拡散のマスクとして、サイドベース拡散の窓 26 b を通して、サイドベース領域 27 を拡散源として、

的粗いマスクを用い、且つ、イオン注入によって第 2 窓対応部のポリシリコン層に第 2 伝導形不純物を注入し、熱処理によって第 2 窓対応部の第 1 伝導形層内に第 2 伝導形領域を形成させると同時に、第 1 窓相当部のポリシリコン層を第 1 伝導形不純物のポリシリコン電極とするものであり、以下詳細に説明する。

第 2 図は本発明の実施例を説明するものであって、マイクロ波パイポーラトランジスタの例である。まず、コレクタとなる n 形のシリコンウエハ 21 に p 形のメインベース領域 22 を形成後、シリコン酸化膜 23 及びシリコン塗化膜 24 を CVD 法によって形成し、ホトリソ (またはプラズマエッティング) によってエミッタ領域とサイドベース領域とに相当する位置のシリコン塗化膜 24 にそれぞれ窓 25 a, 25 b を開ける (第 2 図 a)。

次に、シリコン塗化膜 24 の窓 25 をレジスト (図示せず) でカバーしてから、レジスト及びシリコン塗化膜 24 をマスクとしてシリコン酸化膜 23 をエッティングして、サイドベース拡散の窓 26 b

サイドベース領域 27 上のポリシリコン層 28 にポロンを拡散する (第 2 図 d)。この段階でも正確なマスク合わせは必要でない。次にシリコン塗化膜 29 を除去した後にメタルの全面蒸着を行う (第 2 図 e)。

次に、ホトリソによってマスクを形成した後、イオンエッティング法によってパターン化してエミッタ電極 31 及びベース電極 32 を形成し、さらに連続的にポリシリコン 28 のプラズマエッティングを行って各電極を分離する (第 2 図 f)。

以下説明したように、この実施例では本質的には、粗いマスク合わせは必要だが、第 2 図 9 で示す工程においてエミッタ及びサイドベース領域を一回のホトリソで位置決めしているのみなので、マスクずれによるエミッタ、ベース間の耐圧の減少、キャパシタンスの増大の恐れがない。又、第 2 図 e ~ f の工程で示すように、エミッタ領域 30 においてポリシリコン 28 からシリコンウエハ側 21, 22 への不純物の拡散と同時に、サイドベース領域 27 においてシリコンウエハ側 21, 22

からポリシリコン層28への不純物の拡散を行っているため、1回のポリシリコンCVDにおいて、エミッタまたはサイドベース領域29, 30上に対応して異なる伝導型を有するポリシリコン層を形成することができる。このため、n型のポリシリコン、p型のポリシリコンをCVD法や拡散によって各自形成する必要がない利点がある。又、第2図が示すように、電極メタル31, 32をエッティングによってパターン化しているので、蒸着の時にシフトオフ法のようにレジストを必要としないため、厚くメタル形成でき、又、蒸着前に高温のウェハ加熱を行えることによってオーミック特性を向上させることができる。又、イオンエッティングをポリシリコン層の一部まで行うことによりメタルの分離を確実に行うことができ、残ったポリシリコンを連続的にプラズマエッティングを行って電極の分離を行なうことができる。このように、各電極メタルはポリシリコンを介してシリコンウェハに接触しているため、マイグレーションによって接合を汚染する危険が少なく、又、ポリシリ

コンとメタルがセルフアライン化されているので、微細な電極パターンを形成することができる。

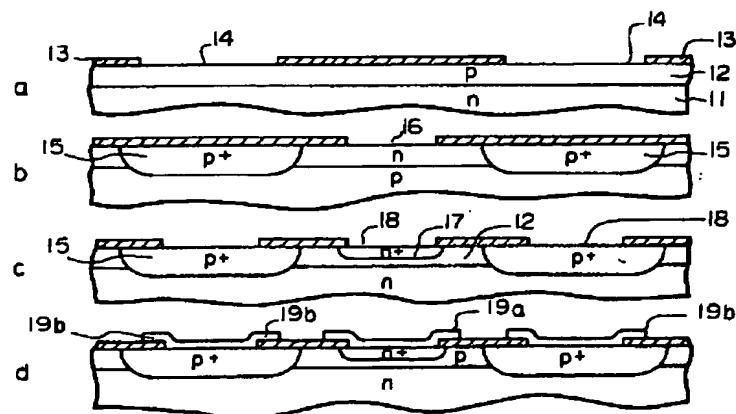
以上の如く、本発明は、微細加工を必要とする高信頼性の半導体素子において、ベース及びエミッタ等上に、それぞれ対応する伝導型をもつポリシリコンを介した電極をセルフアライン的に形成できるため、電極を微細で信頼が高く構成できる利点があり、マイクロ波バイオーラトランジスタや接合電界効果等の製造方法に利用することができる。

#### 4. 図面の簡単な説明

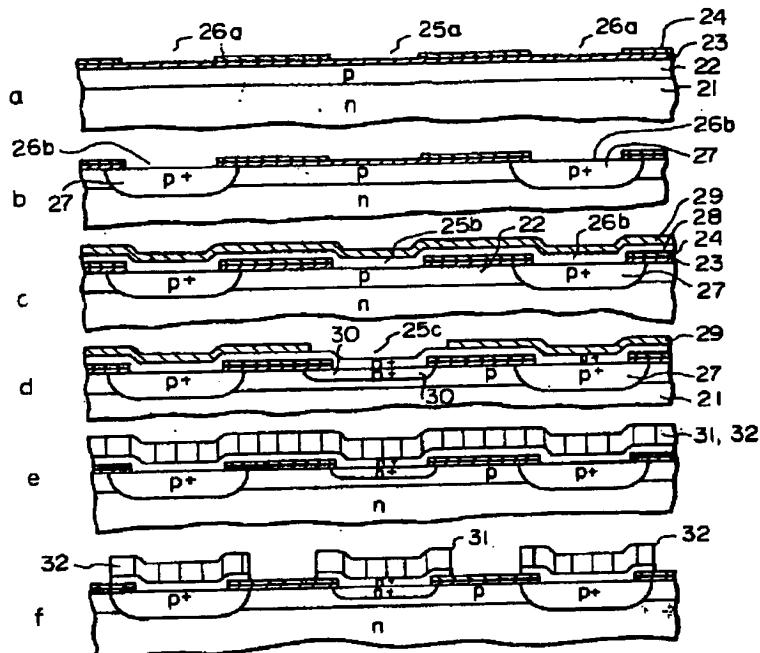
第1図は従来の半導体素子の製造方法を示す断面図、第2図は本発明の一実施例を説明する断面図である。

21…シリコンウェハ、22…メインベース領域、23…シリコン酸化膜、24…シリコン酸化膜、25a, 25b, 26a, 26b, 26c…窓、27…サイドベース領域、28…ポリシリコン、29…シリコン酸化膜、30…エミッタ領域、31…エミッタ電極、32…ベース電極。

第1図



## 第2図



## 手続補正書(自発)

## 6. 補正の内容

昭和56年5月15日

- (1) 明細書第3頁第12行に「マイク」とあるのを「マイグ」と補正する。
- (2) 同書第5頁第4行に「必要ない。」とあるのを「必要でない。」と補正する。
- (3) 同書第7頁第10行に「シフト」とあるのを「リフト」と補正する。

特許庁長官 殿

## 1. 事件の表示

昭和56年特許第017478号

## 2. 発明の名称

半導体素子の製造方法

## 3. 補正をする者

事件との関係

特許出願人

住所(〒105) 東京都港区虎ノ門1丁目7番12号

名称(029) 沖電気工業株式会社

代表者 取締役社長 三宅正男

## 4. 代理人

住所(〒105) 東京都港区虎ノ門1丁目7番12号

沖電気工業株式会社内

氏名(6892) 弁理士 鈴木敬明

電話 501-3111(大代表)

## 5. 補正の対象 明細書中「発明の詳細を説明」の欄

## 6. 補正の内容 別紙のとおり

特許庁  
56.5.15  
出願第017478号